

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-308423
(43) Date of publication of application : 17.11.1998

(51) Int.Cl.

H01L 21/68
G01R 1/073
G01R 31/28

(21) Application number : 09-119103
(22) Date of filing : 09.05.1997

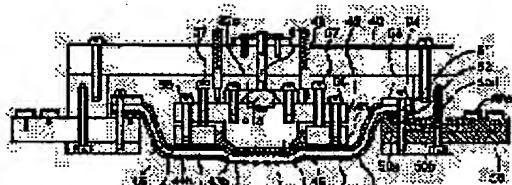
(71) Applicant : HITACHI LTD
(72) Inventor : KASUKABE SUSUMU
MORI TERUTAKA
ARIGA AKIHIKO
SHIGI HIDETAKA
WATABE TAKAYOSHI
KONO RYUJI

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT AND METHOD FOR PROBING TO SEMICONDUCTOR ELEMENT

(57) Abstract:

PROBLEM TO BE SOLVED: To inspect electric characteristics by enabling probing to many narrow-chip pins adaptive to increased density of a semiconductor element without damaging the semiconductor element, and making it possible to transmit a high-speed electric signal.

SOLUTION: A contact pressure applying means 42 applies contact pressure to a pressure member 43, fitted with a multi-layered film 44 which has contact terminals 47 arranged side by side in a probing-side area part 44a and also has a ground layer 49 opposite lead-out wires 48 connected electrically to the respective contact terminals 47 across an insulating layer 66, so that a slack of the area part 44a is eliminated. Further, a probing device constituted by engaging compliance mechanisms (43c, 41a, and 41) with the pressure member 43 is used to bring a group of the contact terminals 47 connected to a tester through the lead-out wires 48 and a group of electrodes arrayed on the semiconductor element into contact with each other under contact pressure within a range of 3 to 50 mN per pin.



LEGAL STATUS

[Date of request for examination] 01.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3315339

[Date of registration] 07.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-308423

(43)公開日 平成10年(1998)11月17日

(51)Int.Cl.
H 01 L 21/66
G 01 R 1/073
31/28

識別記号

F I
H 01 L 21/66
G 01 R 1/073
31/28

B
F
K

審査請求 未請求 請求項の数9 OL (全20頁)

(21)出願番号 特願平9-119103

(22)出願日 平成9年(1997)5月9日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田巣河台四丁目6番地
(72)発明者 春日部 進
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内
(72)発明者 森 照享
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内
(72)発明者 有賀 昭彦
東京都小平市上水本町五丁目20番1号株式
会社日立製作所半導体事業部内
(74)代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

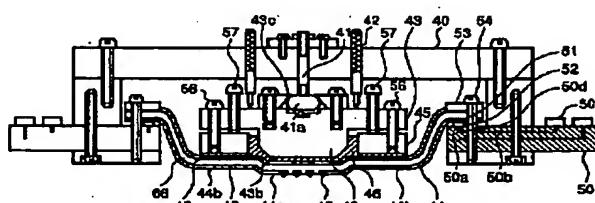
(54)【発明の名称】 半導体素子の製造方法および半導体素子へのプローピング方法

(57)【要約】 (修正有)

【課題】半導体素子の高密度化に対応可能な狭ピッチ多ピンへのプローピングを、半導体素子を損傷させることなく、しかも高速電気信号の伝送を可能にし、電気的特性の検査をする。

【解決手段】接触端子47をプローピング側の領域部44aに複数並設し、各接触端子に電気的につながる引き出し用配線48に対向するように絶縁層66を挟んでグランド層49とを有する多層フィルム44を、前記領域部の弛みをなくすようにして取り付けた押さえ部材43に対して接触圧付与手段42によって接触圧を付与すると共に、押さえ部材に対してコンプライアンス機構43c、41a、41を係合させて構成されたプローピング装置を用いて、引き出し用配線を介してテスターに接続された接触端子の群と半導体素子に配列された電極の群とを、1ピン当たり3~50mN範囲内の接触圧で接触させる。

図 2



半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

【特許請求の範囲】

【請求項1】テスターに接続され、インピーダンスをマッチングさせた配線を有する多層フィルム上に該配線に接続されて並設された先端を尖らせた接触端子の群と半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテスターと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査して半導体素子を製造することを特徴とする半導体素子の製造方法。

【請求項2】先端を尖らせた接触端子をプローピング側の領域部に複数並設し、該各接触端子に電気的につながって周辺部に引き出される複数の引き出し用配線と該複数の引き出し用配線に対向するように絶縁層を挟んでグランド層と有する多層フィルムを前記領域部の弛みをなくすようにして取り付けた押さえ部材に対して接触圧付与手段によって接触圧を付与すると共に前記押さえ部材に対してコンプライアンス機構を係合させて構成されたプローピング装置を用いて、前記引き出し用配線を介してテスターに接続された接触端子の群と半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテスターと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査して半導体素子を製造することを特徴とする半導体素子の製造方法。

【請求項3】支持部材と、先端を尖らせた接触端子をプローピング側の領域部に複数並設し、該各接触端子に電気的につながって周辺部に引き出される複数の引き出し用配線と該複数の引き出し用配線に対向するように絶縁層を挟んでグランド層と有する多層フィルムと、該多層フィルムにおけるプローピング側と反対の裏側に前記領域部を囲むように固定された枠と、前記多層フィルムにおける前記領域部の弛みをなくすように該領域部を張り出させる部分を有して前記枠を取付ける押さえ部材と、前記支持部材から接触圧を前記押さえ部材に対して付与する接触圧付与手段と、前記接触端子の群の先端面が電極の群の面に倣って平行出しされるように前記押さえ部材を前記支持部材に対して係合させるコンプライアンス機構とを備えて構成されたプローピング装置を用いて、前記引き出し用配線を介してテスターに接続された接触端子の群と半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテスターと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査して半導体素子を製造することを特徴とする半導体素子の製造方法。

【請求項4】請求項1または2または3記載の半導体素子の製造方法において、半導体素子はウエハ上に形成されていることを特徴とする半導体素子の製造方法。

【請求項5】請求項4記載の半導体素子の製造方法において、半導体素子はウエハ上に形成された複数の半導体素子に亘って接触端子の群と電極の群とを同時に接触させて電気的に接続することを特徴とする半導体素子の製造方法。

05 【請求項6】請求項1または2または3または4記載の半導体素子の製造方法において、プローピング装置における多層フィルムとして、引き出し用配線と接触端子との間を異方性導電シートあるいははんだ材料により接続して構成したことを特徴とする半導体素子の製造方法。

【請求項7】テスターに接続され、インピーダンスをマッチングさせた配線を有する多層フィルム上に該配線に接続されて並設された先端を尖らせた接触端子の群とウエハ上に形成された半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテスターと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査し、この検査により判定された不良の半導体素子については修正あるいは選別して半導体素子を製造することを特徴とする半導体素子の製造方法。

20 【請求項8】先端を尖らせた接触端子をプローピング側の領域部に複数並設し、該各接触端子に電気的につながって周辺部に引き出される複数の引き出し用配線と該複数の引き出し用配線に対向するように絶縁層を挟んでグランド層と有する多層フィルムを前記領域部の弛みをなくすようにして取り付けた押さえ部材に対して接触圧付与手段によって接触圧を付与すると共に前記押さえ部材に対してコンプライアンス機構を係合させて構成されたプローピング装置を用いて、前記引き出し用配線を介してテスターに接続された接触端子の群とウエハ上に形成された半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテスターと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査し、この検査により判定された不良の半導体素子については修正あるいは選別して半導体素子を製造することを特徴とする半導体素子の製造方法。

25 【請求項9】半導体素子上に配列された電極と電気的に接触して電気信号の授受を行うための半導体素子へのプローピング方法において、支持部材と、先端を尖らせた接触端子をプローピング側の領域部に複数並設し、該各接触端子に電気的につながって周辺部に引き出される複数の引き出し用配線と該複数の引き出し用配線に対向するように絶縁層を挟んでグランド層と有する多層フィルムと、該多層フィルムにおけるプローピング側と反対の裏側に前記領域部を囲むように固定された枠と、前記多層フィルムにおける前記領域部の弛みをなくすように該領域部を張り出させる部分を有して前記枠を取付ける

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

押さえ部材と、前記支持部材から接触圧を前記押さえ部材に対して付与する接触圧付与手段と、前記接触端子の群の先端面が電極の群の面に倣って平行出しされるよう前記押さえ部材を前記支持部材に対して係合させるコンプライアンス機構とを備えて構成されたプローピング装置を用いて、前記引き出し用配線を介してテスターに接続された接触端子の群とウエハ上に形成された半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3~50mN範囲内の接触圧で接触させて電気的に接続することを特徴とする半導体素子へのプローピング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子上に配列された電極と電気的に接触して電気信号の授受を行うための半導体素子へのプローピング方法並びに半導体素子上に配列された各電極に接触した接触端子を通して電気信号を伝送して半導体素子の電気的特性の検査を実施して半導体素子を製造する半導体素子の製造方法に関する。

【0002】

【従来の技術】ウエハレベルにおけるVLSI等の半導体素子の電気的特性検査を可能とする従来の薄型のプローブカードとしては、1988年度のInternational Test Conference (インターナショナル テスト コンファレンス) の講演論文集(メンブレン プローブ カード テクノロジイ: MEMBRANE PROBE CARD TECHNOLOGY) の601頁から607頁に記載された技術(従来技術1)が知られている。この従来技術1に記載された導体検査用のプローブは、フレキシブルな誘電体膜の上面にリソグラフ技術で配線を形成し、被検査対象物の半導体素子の電極に対応する位置に設けた誘電体膜のスルーホールにめっきにより、半円形のバンプを形成したものと接触端子として用いるものである。この従来技術1は、誘電体膜の表面に形成した配線および配線基板を通じて検査回路に接続されているバンプを、板ばねによって、検査対象の半導体素子の電極にバンプをこすって接触し、信号の授受を行って検査する方法である。また従来のプローブ装置としては、特開平2-163664号公報(従来技術2)、特開平5-243344号公報(従来技術3)、特開平8-83824号公報(従来技術4)、特開平8-220138号公報(従来技術5)、特開平7-283280号公報(従来技術6)において知られている。

【0003】従来技術1および2および3および4および5には、支持手段に並進手段(上部伝達段に設けられた枢軸を下部伝達段で受けるように構成する。)をばねで結合し、平坦な膜プローブと実質的に平坦な被試験デバイスとの間の実質的な共平面整列を生起せしめる自動補償機能付きプローブ装置が記載されている。また従来

技術2および3および4および5には、下部伝達段とメンブレンとの間に緩衝層を備えていることが記載されている。また従来技術5には、さらに金属突起を形成した薄膜の導体パターンの裏面側に金属導体層を設けて接地することによって、マイクロストリップライン構造としてインヒーダンス整合及び低インダクタンス化を図ることが記載されている。

【0004】また従来技術6には、結晶性の型材を異方性エッチャリングして得られる先端が尖った形状の接触端子

10 を、引き出し配線を形成した絶縁フィルム上に該引き出し配線と接続して植設し、この絶縁フィルムを、配線基板に対して、緩衝層および基板となるシリコンウエハを挟みこんで一体として構成したプローピング装置が記載されている。

【0005】

【発明が解決しようとする課題】上記従来技術1に記載されているように、平坦あるいは半球状のバンプを形成したプローブにおいて、接点(突起状電極)を、アルミニウム電極やはんだ電極などの材料表面に酸化物が生成

20 された被接触材料に対して擦りつけること(スクライプ動作)により、電極材料表面の酸化物を擦り取り、その下面の金属導体材料に接触させて良好な接觸を確保するものである。この結果、電極を接点でスクライプすることにより、電極材料のクズが生じ、配線間のショートお

25 よび異物発生の原因となり、また、電極にプローブを数百mN以上の荷重をかけながら擦りつけて接觸を確保することにより、電極に損傷を与えることが多いという課題を有していた。また従来技術2~5においては、接点の群を被検査対象物上の電極群の面に倣って平行出しそる機能は付いているが、板ばねの変位に基いて接觸荷重を付与する構成であるため、荷重均等の点から板ばねを大きく変位させて接觸時における荷重を1ピン当たり数百mN以上にする必要が生じ、その結果被検査対象物における電極およびその直下の能動素子や配線に損傷を与えるおそれがあるという課題を有していた。

【0006】また従来技術6においては、緩衝層のみで接觸対象の接觸端子および電極の高さばらつきを吸収したり、プローピング時に被検査対象物を載置した試料台の駆動系から接觸端子が受ける衝撃力を吸収することが困難で、半導体素子等の被検査対象物へ損傷を与える恐れがあった。以上説明したように、何れの従来技術においても、半導体素子等の被検査対象物の高密度化に伴う狭ピッチ多ピンへのプローピングを、被検査対象物を損傷させることなく、低荷重で安定して実現しようとする

40 点について、十分考慮されていなかった。

【0007】本発明の目的は、上記課題を解決すべく、半導体素子の高密度化に対応可能な狭ピッチ多ピンへのプローピングを、半導体素子を損傷させることなく、低荷重で安定して実現し、しかも高速電気信号、即ち高周波電気信号の伝送を可能にして半導体素子の電気的特性

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

の検査を実施して高品質の半導体素子を製造できるようにした半導体素子の製造方法を提供することにある。また本発明の他の目的は、半導体素子の高密度化に対応可能な狭ピッチ多ピンへのプローピングを、半導体素子を損傷させることなく、低荷重で安定して実現し、しかも高速電気信号、即ち高周波電気信号の伝送を可能にした半導体素子へのプローピング方法を提供することにある。

〔0008〕

【課題を解決するための手段】上記目的を達成するために、本発明は、テスタに接続され、インピーダンスをマッチングさせた配線を有する多層フィルム上に該配線に接続されて並設された先端を尖らせた接触端子の群と半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテスターと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査して半導体素子を製造することを特徴とする半導体素子の製造方法である。また本発明は、先端を尖らせた接触端子をプローピング側の領域部に複数並設し、該各接触端子に電気的につながって周辺部に引き出される複数の引き出し用配線と該複数の引き出し用配線に対向するように絶縁層を挟んでグランド層とを有する多層フィルムを前記領域部の弛みをなくすようにして取り付けた押さえ部材に対して接触圧付与手段によって接触圧を付与すると共に前記押さえ部材に対してコンプライアンス機構を係合させて構成されたプローピング装置を用いて、前記引き出し用配線を介してテスターに接続された接触端子の群と半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテスターと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査して半導体素子を製造することを特徴とする半導体素子の製造方法である。

【0009】また本発明は、支持部材と、先端を尖らせた接触端子をプローピング側の領域部に複数並設し、該各接触端子に電気的につながって周辺部に引き出される複数の引き出し用配線と該複数の引き出し用配線に対向するように絶縁層を挟んでグランド層とを有する多層フィルムと、該多層フィルムにおけるプローピング側と反対の裏側に前記領域部を囲むように固定された枠と、前記多層フィルムにおける前記領域部の弛みをなくすようして該領域部を張り出させる部分を有して前記枠を取付ける押さえ部材と、前記支持部材から接触圧を前記押さえ部材に対して付与する接触圧付与手段と、前記接触端子の群の先端面が電極の群の面に倣って平行出しされるよう前記押さえ部材を前記支持部材に対して係合させるコンプライアンス機構とを備えて構成されたプローピング装置を用いて、前記引き出し用配線を介してテスタに

接続された接触端子の群と半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテストと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査して半導体素子を製造することを特徴とする半導体素子の製造方法である。

【0010】また本発明は、前記半導体素子の製造方法において、半導体素子はウエハ上に形成されていること

10 を特徴とする。また本発明は、前記半導体素子の製造方法において、半導体素子はウエハ上に形成された複数の半導体素子に亘って接触端子の群と電極の群とを同時に接触されて電気的に接続することを特徴とする。また本発明は、前記半導体素子の製造方法において、プローピング装置における多層フィルムとして、引き出し用配線と接触端子との間を異方性導電シートあるいははんだ材料等により接続して構成したことを特徴とする。

【0011】また本発明は、前記半導体素子の製造方法において、多層フィルムの領域部の裏面と押さえ部材との間に緩衝層を備えて接触端子の群の高さのバラツキを吸収するようにしたことを特徴とする。また本発明は、テスターに接続され、インピーダンスをマッチングさせた配線を有する多層フィルム上に該配線に接続されて並設された先端を尖らせた接触端子の群とウエハ上に形成された半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテスターと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査し、この検査により判定された不良の半導体素子については修正あるいは選別して半導体素子を製造することを特徴とする半導体素子の製造方法である。

【0012】また本発明は、先端を尖らせた接触端子をプローピング側の領域部に複数並設し、該各接触端子に電気的につながって周辺部に引き出される複数の引き出し用配線と該複数の引き出し用配線に対向するように絶縁層を挟んでグランド層とを有する多層フィルムを前記領域部の弛みをなくすようにして取り付けた押さえ部材に対して接触圧付与手段によって接触圧を付与すると共に前記押さえ部材に対してコンプライアンス機構を係合させて構成されたプローピング装置を用いて、前記引き出し用配線を介してテスタに接続された接触端子の群とウエハ上に形成された半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピソ当たり3～50mN範囲内の接触圧で接触させて電気的に接続し、この接続されたテスタと前記電極との間で電気信号の授受を行って前記半導体素子の電気的特性について検査し、この検査により判定された不良の半導体素子については修正あるいは選別して半導体素子を製造することを特徴とする半導体素子の製造方法である。

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

【0013】また本発明は、半導体素子上に配列された電極と電気的に接触して電気信号の授受を行うための半導体素子へのプローピング方法において、支持部材と、先端を尖らせた接触端子をプローピング側の領域部に複数並設し、該各接触端子に電気的につながって周辺部に引き出される複数の引き出し用配線と該複数の引き出し用配線に対向するように絶縁層を挟んでグランド層とを有する多層フィルムと、該多層フィルムにおけるプローピング側と反対の裏側に前記領域部を囲むように固定された枠と、前記多層フィルムにおける前記領域部の弛みをなくすように該領域部を張り出させる部分を有して前記枠を取付ける押さえ部材と、前記支持部材から接触圧を前記押さえ部材に対して付与する接触圧付与手段と、前記接触端子の群の先端面が電極の群の面に倣って平行に出しされるように前記押さえ部材を前記支持部材に対して係合させるコンプライアンス機構とを備えて構成されたプローピング装置を用いて、前記引き出し用配線を介してテスターに接続された接触端子の群とウエハ上に形成された半導体素子に配列された電極の群とを、相対的に位置合わせを行って1ピン当たり3～50mN範囲内の接触圧で接触させて電気的に接続することを特徴とする。

【0014】以上説明したように、前記構成によれば、半導体素子の高密度化に伴う狭ピッチ多ピンへのプローピングを、半導体素子を損傷させることなく、低荷重で安定して実現し、しかも高速電気信号、即ち高周波電気信号(100MHz～数10GHz程度の高周波数)の伝送を可能にして、半導体素子の電気的特性の検査を実施して高品質の半導体素子を製造することができる。また前記構成によれば、多層フィルムにおける尖った先端を有する接触端子を並設した領域部の弛みをなくすと共に平行出しするコンプライアンス機構を設けることによって、尖った先端を有する接触端子の群を被検査対象物上の電極の群に、1ピン当たり低荷重(3～50mN程度)で、単に押しつけることによって、電極材料等のクズを発生させることなく、0.05Ω～0.1Ω程度の低抵抗で安定した接続を実現し、しかも高速電気信号、即ち高周波電気信号(100MHz～数10GHz程度の高周波数)の伝送を可能にして、半導体素子の電気的特性の検査を実施して高品質の半導体素子を製造することができる。

【0015】また前記構成によれば、ウエハの状態において、多数並設された半導体素子(チップ)の内、1個または多数個の半導体素子について同時に、小さな接触圧(1ピン当たり3～50mN程度)で表面に酸化物が形成されたA1またははんだ等の電極3と0.05Ω～0.1Ω程度の安定した低抵抗値で確実に接続させて、テスターにより各半導体素子について動作試験を行うことができ、その結果高品質の半導体素子を製造することができる。即ち、前記構成によれば、電極の高密度化およ

び狭ピッチ化に対応でき、しかも多数個チップ同時プローピングによる検査を可能にし、高速電気信号(100MHz～数10GHz程度の高周波数)による動作試験を可能にすることができ、その結果高品質の半導体素子を製造することができる。

【0016】

【発明の実施の形態】本発明に係る半導体素子の製造方法に用いられるプローピング装置および検査装置の実施の形態について図を用いて説明する。被検査対象であるLSI用の半導体素子(チップ)2は、図1に示すようにウエハ1に多数並設されて形成され、その後切り離されて使用に供される。図1(a)はLSI用の半導体素子(チップ)2が多数並設されたウエハ1を示す斜視図であり、図1(b)は1個の半導体素子(チップ)2を拡大して示した斜視図である。半導体素子(チップ)2の表面には、周辺に沿って多数の電極3が配列されている。ところで、半導体素子は高集積化に伴って上記電極3が高密度化および狭ピッチ化が更に進む状況にある。電極の狭ピッチ化としては、0.2mm程度以下で、例えば、0.13mm、0.1mm、それ以下となってきており、電極の高密度化としては、周辺に沿って、1列から2列へ、更に全面に配列される傾向となってきている。

【0017】本発明に係るプローピング装置(接続装置)は、ウエハの状態において、多数並設された半導体素子(チップ)の内、1個または多数個の半導体素子について同時に、小さな接触圧(1ピン当たり3～50mN程度)で表面に酸化物が形成されたA1またははんだ等の電極3と0.05Ω～0.1Ω程度の安定した低抵抗値で確実に接続させて、テスターにより各半導体素子について動作試験を行うものである。即ち、本発明に係るプローピング装置(接続装置)は、上記電極の高密度化および狭ピッチ化に対応でき、しかも多数個チップ同時プローピングによる検査を可能にし、高速電気信号(100MHz～数10GHz程度の高周波数)による動作試験を可能にするものである。

【0018】図2は、本発明に係るプローピング装置の第1の実施の形態の要部を示す図である。本プローピング装置の第1の実施の形態は、支持部材(上部固定板)40と、それに固定され、下部に球面41aを有する支持軸であるセンターヒボット41並びに該センターヒボット41を中心に行き前後に対称に設置され、上下の変位に対して常に一定の押付け力を付与する押付け力付与手段であるスプリングプローブ42と、上記センターヒボット41に対してテーパ(傾き)43cにより傾動可能に保持されながら上記スプリングプローブ42により低荷重(1ピン当たり3～50mN程度)の押付け力が付与される(押圧される)押さえ部材(押さえ板)43と、多層フィルム44と、該多層フィルム44に固着した枠45と、該多層フィルム44と押さえ部材

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

43の間に設けられた緩衝層46と、多層フィルム44上に設けられた接触端子47と、多層フィルム44に設けられ、該接触端子47から引出された引き出し用配線48と、多層フィルム44に設けられたグランド層49とを有する。上記押さえ部材43に対する押付け力をスプリングプローブ42で付与するように構成したのは、スプリングプローブ42の先端の変位に対してほぼ一定の低荷重の押付け力が得られるようにしたためであり、必ずしもスプリングプローブ42を用いる必要はない。支持部材（上部固定板）40は、配線基板50に搭載される。多層フィルム44は、その周縁部が枠45より外側に延長するように形成され、この延長部を、枠45の外側で滑らかに折り曲げて配線基板50上に固定する。その際、引き出し用配線48は、配線基板50に設けられている電極50aに電気的に接続される。この接続は、例えば、配線基板50の電極50aと接続するために、多層フィルム44に、金属めっきで充填されたピア51を設けて、ピア51と電極50aを直接圧力をかけて接触させるか、異方性導電シート52あるいは、はんだなどを用いて接続する。

【0019】配線基板50は、例えば、ポリイミド樹脂、ガラスエポキシ樹脂等の樹脂材からなり、内部配線50bおよび接続端子50cを有している。前記電極50aは、例えば、内部配線50bの一部に接続されるピア50dで構成される。配線基板50と多層フィルム44とは、例えば、多層フィルム44を、多層フィルム押さえ部材53と配線基板50に挟み込んでねじ54等を用いて固定される。多層フィルム44は、可撓性があり、好ましくは、耐熱性がある樹脂を主体に形成する。本実施例では、ポリイミド樹脂が用いられる。緩衝層46としては、エラストマ（ゴム状弾性を有する高分子材料）等の弾性を有する物質で構成される。具体的には、シリコンゴム等が用いられる。また緩衝層46としては、押さえ部材43を枠45に対して移動可能にシールしてこのシールされた空間に気体を供給するように構成しても良い。また接触端子47、引き出し用配線48およびグランド層49は、導電性材料で構成される。これらの詳細については、後述する。また、図2では、接触端子47および引き出し用配線48は、説明の簡単のため、2の接触端子分のみ示すが、もちろん、実際には、後述するように複数個が配置される。

【0020】まず、本発明に係るプローピング装置（接続装置）は、ウエハの状態において、多数並設された半導体素子（チップ）の内、1個または多数個の半導体素子について同時に、且つ低荷重（1ピン当たり3～50mN程度）で表面に酸化物が形成されたA1またははんだ等の電極3と0.05Ω～0.1Ω程度の安定した低抵抗値で確実に接続されることにある。これによって、従来技術のようにスクライプ動作をさせる必要がなく、スクライプ動作による電極材料のくずを発生を防止する

- ことができる。即ち、多層フィルム44において、電極3の配列に対応するように並設された接触端子47の先端を尖せると共に、枠45で支持された周辺部44bに対して、この周辺部44b内の上記接触端子47を並設した領域部44aを、押さえ部材43の下側に形成された突出部43aにおける高精度の平坦度が確保された下面43bに倣って緩衝層46を挟んで張り出させて多層フィルム自身の弛みをなくし、この張り出された領域部44aに並設された接触端子47の尖った先端を、A1またははんだ等の電極（被接触材）3に垂直に低荷重（1ピン当たり3～50mN程度）でプローピングすることによって、電極（被接触材）3の表面に形成された酸化物を容易につき破ってその下面の電極の金属導体材料に接触させて0.05Ω～0.1Ω程度の安定した低抵抗値で良好な接觸を確保することができる。特に、枠45で支持された周辺部44bに対して、この周辺部44b内の多数の接触端子47を並設した領域部44aを、押さえ部材43の下側に形成された突出部43aにおける高精度の平坦度が確保された下面43bに倣って緩衝層46を挟んで張り出させることによって多層フィルム自身の弛みをなくして、多数の接触端子47の先端の平坦度を突出部43aの下面43bの平坦度に合わせて高精度を確保することにある。なお、領域部44aにおける張り出し量は、押さえ部材（押さえ板）43にセンターピボット41を中心左右および前後に締着されて調整可能なねじ57の押さえ部材43の下面からの突出し量によって定まることがある。即ち、押さえ部材43に突出し量を定めて取り付けられたねじ57の下端が、多層フィルム44における領域部44aの周辺部44bを接着固定した枠45の上面に接触するまで、センターピボット41を中心左右および前後に設けられて押さえ部材に形成された穴に挿入されたねじ56を枠45に対して締め付けることによって押さえ部材43の突出部43aを下降させて緩衝層46を介して多数の接触端子47が並設された領域部44aを張り出すことによって多層フィルム自身のたるみがなくなることになる。これによって、多数の接触端子47に亘った接触端子の尖った先端の平坦度を±2μm程度以下の高精度に確保することができる。
- 【0021】また1個または多数個の半導体素子についての電極（被接触材）3の面（被接触材面）3aと該電極に対応する多数の接触端子47との平行出しを、図3に少し誇張して示すように、押さえ部材（押さえ板）43をセンターピボット41で傾動可能に支持すると共にセンターピボット41を中心左右および前後に對称に設置されたスプリングプローブ42によって押さえ部材43の上下の変位に対して常に一定の押付け力を付与することによって実現することにある。即ち、センターピボット（押さえ部材支持軸）41と押さえ部材43との間の係り合いの関係および対称に設置されたスプリング

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

プローブ42によって1ピン当たり低荷重のコンプライアンス機構が形成され、このコンプライアンス機構によって多数の接触端子47の先端が1個または多数個の半導体素子についての電極（被接触材）3の面（被接触材面）3aに追従して倣って平行出しが行われる。センタービポット（押さえ部材支持軸）41は、図2に示すように、押さえ部材43の中心に位置し、押さえ部材43の上部に取り付けられたテーパ（傾き）43cとセンタービポットの下部球面41aとの傾動可能な接触状態を利用して、初期状態ではスプリングプローブ42による押付け力のバランスによって初期に規定した一定位置に位置付けする。次に、センタービポット（押さえ部材支持軸）41と押さえ部材43との間およびスプリングプローブ42によってコンプライアンス機構が形成されているため、図3に示すように、接触端子47の尖った先端を被接触材（電極）3に接触し始めた時点で、センタービポット41の軸を中心軸として、押さえ部材のテーパ（傾き）43cがセンタービポットの下部球面41aの一部を擦り、その後センタービポットの下部球面41aと押さえ部材のテーパ（傾き）43cとが離れ、押さえ部材43が自由に被接触材（電極）3の全体の面3aに追従するように倣って傾動され、多数の接触端子の尖った先端を結んだ面と被接触材（電極）3の全体の面3aとの間において平行出しが行われると共に個々の接触端子の先端の高さの±2μm程度以下のバラツキを緩衝層46の局部的な変形によって吸収して半導体ウエハ1上に配列された各被接触材（電極）3の高さの±0.5μm程度のバラツキに倣って均一な食い込みによる接触が行われ、低荷重（1ピン当たり3～50mN程度）で均一なプローピングを実現することができる。

【0022】以上説明したように、多層フィルム44における接触端子47を並設した領域部44aについての押さえ部材43の突出部43aによる緩衝層46を介しての張り出しと、押さえ部材43をセンタービポット41に対して傾動可能に支持することによって多数の接触端子の尖った先端を結んだ面と被接触材（電極）3の全体の面3aとの間において平行出しことを行うことによって、多数個チップ同時に、且つ低荷重（1ピン当たり3～50mN程度）で均一なプローピングを0.05Ω～0.1Ω程度の安定した低抵抗値で実現することができる。当然、1チップにおいても、同様なプローピングを実現することができる。また、多層フィルム44において、図4に示す如く、各接触端子47につながった引き出し用配線48に対して絶縁膜66（74）を挟んで対向するグランド層49を設置し、絶縁膜66（74）の誘電率ε_rおよび厚さ（引き出し用配線48とグランド層49との間の間隙）h並びに引き出し用配線48の幅wを適切な値にして、引き出し用配線48のインピーダンスZ₀を50Ω程度にすることによってテスタの回路とのマッチングをとることが可能となり、その結果

引き出し用配線48を伝送する電気信号の乱れ、減衰を防止して、半導体素子に対してテスタによる高周波数（100MHz～数10GHz程度）まで対応できる高速電気信号による電気特性検査を実現することが可能となる。

【0023】以上説明したように、多層フィルム44において、各接触端子47につながった引き出し用配線48に対して絶縁膜66（74）を挟んで対向するグランド層49を設置してインピーダンスをテスタの回路とのマッチングがとれる50Ω程度にすることができる、それ以外のプローブ（接触端子）の長さを接触端子部分（0.05～0.5mm程度）47のみとなり、によってテスタの回路とのマッチングをとることが可能となり、高速電気信号の乱れを少なくして、半導体素子に対する高速電気信号による電気特性検査を実現することができる。図5は、本発明に係るプローピング装置の第2の実施の形態の要部を示す図である。本プローピング装置の第2の実施の形態は、多層フィルム44の端を配線基板50の下面に位置させて引き出し用配線48の端に上側に出るように金属めっきで充填して接続したピア51と配線基板50の下側に形成された電極50aとを直接圧力をかけて接触させるか、異方性導電シート52あるいは、はんだなどを用いて接続する。即ち、本第2の実施の形態では、多層フィルム44における引き出し用配線48の端をピア51によって上面に形成し、配線基板50の下面に設けられた電極50aと接続する。これ以外の構成は、図2に示す第1の実施の形態と同様である。

【0024】図6は、本発明に係るプローピング装置の第3の実施の形態の要部を示す図である。本プローピング装置の第3の実施の形態は、図2で用いるセンタービポット41に変えて、押さえ部材43をノックピン55を介して僅か傾動可能に保持する構成した。即ち、押さえ部材43の中心を対称にして左右および前後に設けられた4本のノックピン55を、支持部材40に形成された上方に拡がったテーパ穴58に挿入して押さえ部材43に締着する。これ以外の構成は、図2に示す第1の実施の形態と同様である。即ち、1個または多数個の半導体素子についての電極（被接触材）3の面（被接触材面）3aと該電極に対応する多数の接触端子47との平行出しきを、図7に少し誇張して示すように、押さえ部材43に取り付けられた各ノックピン55を支持部材40に形成された上方に拡がったテーパ穴58の下部に傾動可能に支持すると共に押さえ部材43の中心に対して左右および前後に対称に設置されたスプリングプローブ42によって押さえ部材43の上下の変位に対して常に一定の低荷重（1ピン当たり3～50mN程度）の押付け力を付与することによって実現することにある。即ち、押さえ部材43に取り付けられた各ノックピン55と支持部材（上部固定板）40に形成された上方に拡がった

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

テープ穴58との間の係り合いの関係および対称に設置されたスプリングプローブ42によって1ピン当たり低荷重のコンプライアンス機構が形成され、このコンプライアンス機構によって多数の接触端子47の先端が1個または多数個の半導体素子についての電極（被接触材）3の面（被接触材面）3aに追従して倣って平行出しが行われる。まず、図6に示す如く、スプリングプローブ42による押さえ部材43への押付け力によって押さえ部材43に取り付けられた各ノックピン55の頭が支持部材40の上面に当接した状態で位置付けされる。次に、押さえ部材43に取り付けられた各ノックピン55と支持部材40に形成されたテープ穴58との間およびスプリングプローブ42によってコンプライアンス機構が形成されているため、図7に示すように、各スプリングプローブ42による押さえ部材43への均等な押付け力によって各ノックピン55がテープ穴58を滑ったり、傾動することによって押さえ部材43が自由に被接触材（電極）3の全体の面3aに追従するように倣って傾動され、多数の接触端子の尖った先端を結んだ面と被接触材（電極）3の全体の面3aとの間において平行出しが行われると共に個々の接触端子の先端の高さの±2μm程度以下のバラツキを緩衝層46の局部的な変形によって吸収して半導体ウェハ1上に配列された各被接触材（電極）3の高さの±0.5μm程度のバラツキに倣って均一な食い込みによる接触が行われ、低荷重（1ピン当たり3~50mN程度）で均一なプローピングを実現することができる。

【0025】図8は、本発明に係るプローピング装置の第4の実施の形態の要部を示す図である。本プローピング装置の第4の実施の形態は、多層フィルム44の端を配線基板50の下面に位置させて引き出し用配線48の端に上側に出るように金属めっきで充填して接続したピア51と配線基板50の下側に形成された電極50aとを直接圧力をかけて接触させるか、異方性導電シート52あるいは、はんだなどを用いて接続する。即ち、本第4の実施の形態では、多層フィルム44における引き出し用配線48の端をピア51によって上面に形成し、配線基板50の下面に設けられた電極50aと接続する。これ以外の構成は、図6に示す第3の実施の形態と同様である。

【0026】図9は、本発明に係るプローピング装置の第5の実施の形態の要部を示す図である。本プローピング装置の第5の実施の形態は、多層フィルム44における接触端子47と引き出し用配線48とを接続する構成部分が異なる他は、上記図2、図5、図6および図8に示すプローピング装置の実施の形態と同様に構成される。すなわち、本第5の実施の形態では、図9に示すように、被検査対象の電極3が配列された領域のみに対応するようにポリイミド膜61を設け、該ポリイミド膜61に電極3に対応するように多数の接触端子47を並設

し、各接触端子47に接続してポリイミド膜61上に形成した電極62を、引き出し用配線48を形成したポリイミド膜65の電極69に異方性導電シート70を介して接続させ、ポリイミド膜65、異方性導電シート70およびポリイミド膜61を接合一体化することによって、接続端子47を形成した多層フィルム44を構成する。なお、この多層フィルム44として、例えば、ポリイミド膜65、引き出し用配線48、中間ポリイミド膜66、グランド層49およびポリイミド保護膜68からなる配線用フィルムをあらかじめ形成すればよい。

【0027】図10は、本発明に係るプローピング装置の第6の実施の形態の要部を示す図である。本プローピング装置の第6の実施の形態は、多層フィルム44における接続端子47と引き出し用配線48とを接続する構成部分が異なる他は、上記図2、図5、図6および図8に示すプローピング装置の実施の形態と同様に構成される。すなわち、本第6の実施の形態では、図10に示すように、被検査対象の接続端子47を、引き出し用配線48を形成したポリイミド膜65の電極69に異方性導電シート70を介して接続することにより、接続端子47を形成した多層フィルム44を構成する。なお、この多層フィルム44として、例えば、ポリイミド膜65、引き出し用配線48、中間ポリイミド膜66、グランド層49およびポリイミド保護膜68からなる配線用フィルムをあらかじめ形成すればよい。

【0028】上述した第1~第6の実施の形態は、接続端子47を、導電性材料で構成している。そのため、この部分が多層フィルム（配線用フィルム）44よりも硬くなるため、測定対象物の電極に当接させた際に、接触がより良好となる。これらのプローピング装置における接続端子の配置および引き出し用配線の配線パターンは、被検査対象物、例えば、半導体集積回路の電極パターンに対応して種々構成される。図11および図12に、それらの第1および第2の実施例を示す。図11

35 (a)は、本発明に係るプローピング装置における接続端子の配置および引き出し用配線の第1の実施例を示す平面図である。図11(b)は、その配線が設けられている多層フィルムを折り曲げた状態を示す斜視図である。また、図12(a)は、本発明に係るプローピング40装置における接続端子の配置および引き出し用配線の他の例を示す平面図である。図12(b)は、その配線が設けられている多層フィルム44を折り曲げた状態を示す斜視図である。なお、これらの図において、接続端子および引き出し配線は、図示および説明の簡単のため、数を少なくし、また、密度を低くして表示してある。實際には、さらに、多数の接続端子を設けることができ、また、高密度で配置できることはいうまでもない。

【0029】図11(a)、(b)、および図12(a)、(b)に示すように、プローピング装置は、例えば、ポリイミド膜で構成される多層フィルム44上

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

に、被検査対象の電極3に対応する位置に配置された接触端子47と、これらの接触端子47に一端が接続され、他端が多層フィルム44の周縁部に設けられるピア51まで引き回される引き出し用配線48とが設けられる。引き出し用配線48は、種々の態様で配線できる。例えば、各配線を一方向に引き出して配線したり、放射状に配線したりすることができる。具体的にいえば、図12(a)および(b)に示す第1の実施例は、多層フィルム44を四角形状に形成し、四角形の各辺に設けられるピア51まで引き出し用配線48が設けられる。また、図11(a)および(b)に示す第2の実施例は、多層フィルム44を長方形形状に形成し、両端部にピア51を配置してある。

【0030】次に、まずこれらのプローピング装置を製造するための方法についてその概要を説明する。検査装置本体へ電気信号を伝送するためのプローピング装置における配線の引き出し方法として、例えば、被検査対象がウエハに形成されたLSI表面の電極である場合は、次のように行う。まず、図11(a)または図12(a)に示したように、該LSI形成ウエハの領域101よりもひと回り大きなシリコンウエハなどの接触端子形成用型材102を用いて、該LSI形成ウエハと同じ領域101に、接触端子47を形成するための穴を、二酸化シリコンをマスクとして、シリコンウエハを異方性エッチングにより形成して型を製作する。そして、この型を用いて、接触端子47を構成するための突起を設ける。さらに、接触端子形成用型材102の表面に、ポリイミド膜および、引き出し用配線48を形成して多層フィルム44を形成する。また、必要に応じて、多層フィルム44に、図11(a)に示したように、切れ目103を入れる。そして、多層フィルム44を、図11(b)あるいは図12(b)に示すように、該LSI形成ウエハの検査領域101に対応する、接触端子47を形成した領域を、多層フィルム44の裏面に枠45を接着して、多角形で囲うように折り曲げる。さらに、図2、図5、図6および図8に示すように、該枠付きの多層フィルム44と押さえ部材43の間に、緩衝層46を挟みこみ、一体的に取り付けてから接触端子形成用型材102を除去した後、上部固定基板40および配線基板50に載置し、該配線基板50の電極50aに、引き出し用配線48のピア51を導電シート52あるいははんだで多層フィルム押さえ部材53を配線基板50にねじ54で接続する。

【0031】なお、上記実施例では、被検査対象がウエハに形成された全部の半導体素子の電極を一括して接触する場合を示したが、本発明は、これに限られない。例えば、半導体素子を個別に、あるいは任意の個数の半導体素子を同時に検査するためのプローピング装置として、多層フィルムをウエハサイズよりも小さな領域で製造してもよいことはいうまでもない。

【0032】次に、本発明に係るプローピング装置の第1の実施の形態における接触端子部分の構造およびその製造方法について説明する。図13に示す接触端子部分は、多層フィルム44として下層にポリイミド膜71を有し、かつ、突起を構成するためのパンプ72と、その先端部に被着されためっき膜73とで構成される。また、ポリイミド膜71の一方の面(基板対向面)に、引き出し用配線48、ポリイミド膜74、グランド層49およびポリイミド保護膜75を構成する。引き出し用配線48が、その一端を前記パンプ72に接触させて設けられている。接触端子47は、例えば、先端が角錐形状に尖ったパンプ72と該パンプ72の先端の表面に形成されためっき膜73によって形成される。パンプ72は、硬度が高く、且つめつきをしやすいニッケル等で形成される。めっき膜73は、ニッケル膜より更に硬く、ロジウムで構成される。めっき膜73として、ロジウムを用いる理由は、ロジウム膜の硬度がニッケル膜より大きいことによる。

【0033】図13には、本発明に係るプローピング装置の第1の実施の形態における接触端子部分における代表的な寸法を示す。即ち、半導体素子における電極の狭ピッチである0.2mm以下の例えば0.13mmまたは0.1mmに対応できるように、グランド層49およびポリイミド保護膜75の厚さを約5μm、ポリイミド膜74の厚さを約50μm、ポリイミド膜71の厚さを約20μm、接触端子47の先端部の高さを約28μm、該先端部の底面の幅を約40μmとする。本第1の実施の形態では、底面の一辺が例えば10~60μmの四角錐形状で先端が尖った接触端子47で構成される。この四角錐は、型材について、フォトリソグラフィによりバターニングされるので、位置および大きさが高精度に決められる。また、異方性エッチングにより形成されるので、形状がシャープに形成できる。特に、先端を、尖った形状とすることができます。これらの特徴は、他の実施の形態においても共通する。本実施の形態によれば、半導体素子における電極のピッチが0.1mmより狭くなっている10~20μm程度まで、対応させる接触端子47を容易に形成することが可能となる。即ち、接触端子47の底面の1辺を5μm程度まで容易に形成することができる。また多層フィルムの状態において、接触端子47を形成した際接触端子47の高さの精度として、±2μm以内の精度を達成でき、その結果これら多数の接触端子47を並設した領域部44aを押さえ部材(押さえ板)43を用いて緩衝層46を挟んで張り出して多層フィルム自身の弛みをなくした際も、接触端子47の高さの精度としてほぼ±2μm以内の精度を得ることができ、低荷重(1ピン当たり3~50mN程度)で安定して半導体素子に配列した電極3とプローピングをすることが可能となる。

【0034】また接触端子47の先端を尖った形状とす

るのは、次の理由からである。

【0035】即ち、被検査対象の電極3がアルミニウム等の場合、表面に酸化膜が形成されていて、接触時の抵抗が不安定となる。このような電極3に対して、接触時の抵抗値の変動が0.5Ω以下の安定した抵抗値を得るために、接触端子47の先端部が、電極3の表面の酸化膜をつき破って、良好な接触を確保する必要がある。そのためには、例えば、従来技術に記載されているように、接触端子の先端が半円形の場合、1ピン当たり300mN以上の接触圧で、各接触端子を電極に擦りつける必要がある。一方、接触端子の先端部が、直径10μm～30μmの範囲の平坦部を有する形状の場合には、1ピン当たり100mN以上の接触圧で、各接触端子を電極に擦りつける必要がある。そのため、酸化膜を含めて電極材料のくずが発生することになり、配線間のショートおよび異物発生の原因となると共に接触圧100mNが100mN以上と大きいことにより、電極またはその直下にある素子を損傷させることになる。一方、本発明に係る先端が尖った接触端子47を用いた場合には、1ピン当たり3～50mN程度以上の接触圧があれば、電極3に擦り突けることなく、単に押圧するだけで、0.5Ω以下の安定した接触抵抗で、通電を行うことができる。その結果、低針圧で電極に接触すればよいため、電極、または、その直下にある素子に損傷を与えることが防止できる。また、全接触端子にピン圧をかけるために必要な力を小さくすることができる。その結果、このプローピング装置を用いる試験装置におけるプローバ駆動装置の耐荷重を軽減し、製造コストを低減することができる。

【0036】なお、もし1ピン当たり100mN以上の荷重をかけることができる場合には、例えば、底面の一辺が40μm程度の四角錐台の突起であって、先端部の一辺を30μmより小さくするならば、点のように尖っていないともよい。ただし、上述した理由から、可能な限り先端部の面積を5μm以下と小さくして尖らせることが必要となる。また、先端を尖らせた接触端子47を用いることによって、電極3に擦り突けることなく、低い押圧力（1ピン当たり3～50mN）で接触すればよいため、電極材料のくずが発生することを防止することができる。この結果、プローピング後に、電極材料のくずを取り除くための洗浄工程が不要となり、製造コストを低減することができる。次に、図2、図5、図6および図8に示すプローピング装置（接続装置）を形成するための製造プロセスについて、図14および図15を参照して説明する。

【0037】図14および図15は、図2に示すプローピング装置を形成するための製造プロセスのうち、特に、型材であるシリコンウェハ80に異方性エッチングで形成した四角錐の穴を用いて、四角錐の接触端子先端部を形成した薄膜の押圧状態を、センターピボット31

を介して、緩衝層36とスプリングプローブ32により自在に調整可能なプローピング装置を組み上げるための製造プロセスを工程順に示したものである。

【0038】まず図14(a)に示す工程が実行される。この工程は、厚さ0.2～0.6mmのシリコンウェハ80の(100)面の両面に熱酸化により二酸化シリコシ膜81を0.5μm程度形成し、次にホトレジストマスクにより二酸化シリコン膜81をエッチングし、次に該二酸化シリコン膜81をマスクとして、シリコンウェハ80を異方性エッチングして、(111)面に囲まれた四角錐のエッチング穴80aを形成するものである。即ち、二酸化シリコン膜81をマスクとして、異方性エッチングにより(111)面に囲まれた四角錐のエッチング穴80aが形成されることになる。次に、図14(b)に示す工程が実行される。この工程は、異方性エッチングしたシリコンウェハ80の(111)面を、ウェット酸素中での熱酸化により、二酸化シリコン膜82を、0.5μm程度形成し、次にその表面に導電性被覆83を形成し、次に上記導電性被覆83の表面に、多層フィルムとなるポリイミド膜84(71)を膜状に形成し、ついで、接触端子47を形成すべき位置にあるポリイミド膜84(71)を、上記導電性被覆83の表面に至るまで除去した後、該ポリイミド膜84の開口部に露出した導電性被覆83に、該導電性被覆83を電極として、ニッケルのような硬度の高い材料を主成分として電気めっきして、接触端子とするバンプ85(72)を形成するものである。電気めっきして接触端子47とするバンプ85(72)を形成できる材料としては、ニッケル以外にCuがあるが、硬度がやわらかく単独では使用不可能である。

【0039】次に、図14(c)に示す工程が実行される。この工程は、上記ポリイミド膜84およびバンプ85(72)の表面に、銅を、スパッタリング法あるいは蒸着法により成膜することにより、厚さ1μm程度の導電膜を形成して、その表面に配線形成用のホトレジストマスクにより、引き出し用配線48を形成し、次に上記ポリイミド膜84の表面に、更に中間ポリイミド膜86(74)を形成し、次にその表面にグランド層49を形成し、更にその表面に保護用のポリイミド膜87(75)を形成するものである。次に、図14(d)に示す工程が実行される。この工程は、上記保護用のポリイミド膜87(75)の表面に、枠45を位置合わせて接着固定し、次にシリコーン系のコーティング材を緩衝層46として枠45の中に供給するものである。本実施例では、例えば、厚さが0.5～3mmで、硬さ(JIS A)が15～70程度のシリコンコーティング材をエラストマとして用いている。しかし、エラストマは、これに限定されない。また、エラストマは、シート状のエラストマを使用してもよいし、エラストマ自体を使用しなくてもよい。緩衝層46の役目としては、多数の接触端

子47の先端が半導体ウェハ1に配列された電極3に接触する際の全体としての衝撃を緩和すると共に、個々の接触端子47の先端の高さの±2μm程度以下のバラツキを局部的な変形によって吸収して半導体ウェハ1上に配列された各被接觸材(電極)3の高さの±0.5μm程度のバラツキに倣って均一な食い込みによる接觸を行わせるためである。特に本発明に係る実施の形態では、1ピン当たり低荷重であるため、全体としての衝撃の緩和の役目は小さい。従って、接触端子47の先端の高さのバラツキが±0.5μm程度以下に形成できれば、緩衝層46は必ずしも必要としない。接触端子47の先端の高さのバラツキを±0.5μm程度以下にする方法としては、例えば、平坦度が確保された例えばシリコン基板に多層フィルム44に形成された接觸端子の群を一括して均一に押しつけることによって得ることができる。

【0040】次に、図14(e)に示す工程が実行される。この工程は、上記枠45に押さえ部材43をねじ56によりねじ止めするものである。次に、図15(a)に示す工程が実行される。この工程は、型材であるシリコンウェハ80をエッティングするためのステンレス製の固定治具88に、前記押さえ部材43を枠45にねじ止めした多層フィルム44を形成したシリコンウェハ80を、Oリング89を介してステンレス製のふた90との間に装着するものである。次に、図15(b)に示す工程が実行される。この工程は、シリコンウェハ80および導電性被覆83をエッティング除去するものである。次に、図15(c)に示す工程が実行される。この工程は、上記ふた90、Oリング89および固定治具88から、押さえ部材43を枠45にねじ止めした多層フィルムを取り外し、次にロジウムめっき91(73)を施し、多層フィルムの保護用のポリイミド膜87(75)の周辺に多層フィルム押さえ部材53を位置合わせして接着するものである。接觸端子47を構成するニッケル等で形成されたパンプ85(72)の表面にロジウムめっき91(73)を施す理由は、電極3の材料であるはんだやA1等が付きにくく、パンプ85(72)の材料(ニッケル)より硬度が高く、酸化されにくく接觸抵抗が安定で、めつきがしやすいためである。

【0041】次に、図15(d)に示す工程が実行される。この工程は、多層フィルムを設計外形に切り取り、次に枠45と押さえ部材(押さえ板)43との間隔をねじ57により調整し、ねじ56によるねじ締めによりねじ57の先端が枠45の上面に当接するように押さえ部材43を枠45に対して進めて緩衝層46を介して多層フィルム44における接觸端子47を並設した領域部44aを押さえ部材43で押すことにより、多層フィルムを適度に張って多層フィルム自身の弛みをなくして多数の接觸端子に亘る該接觸端子の先端の平坦度を±2μm程度以下の高精度を確保するものである。次に、組み付け工程が実行されて薄膜プロープカードからなるブロー

ピング装置が完成する。即ち、図2に示したように、配線基板50に多層フィルム44を取り付ける。次にセンターピボット41の下部球面41aをテーパ(傾き)43cに係るようした状態でテーパ(傾き)43cを押

- 05 さえ部材43の上面に取り付ける。次にスプリングプロープ42が取り付けられた支持部材(上部固定板)40にセンターピボット41を取り付けると共に支持部材40の周辺部に多層フィルム44を取り付けた配線基板50を取り付けて薄膜プロープカードを構成する。なお、
 - 10 図5に示すプローピング装置を組み立てる場合は、まず、センターピボット41を押さえ部材43に取り付けた後、配線基板50に多層フィルム44を取り付ければよい。図6あるいは図8の薄膜プロープカードを製造する場合は、センターピボット41に代えて、ノックピン
 - 15 55を押さえ部材43に取り付ける以外は、図14および図15に示す工程と同様な工程で薄膜プロープカードを製造すればよい。なお、図15(a)(b)に示すシリコンウェハ80のエッティング除去は、図14(c)に示す枠45を接着固定する前の段階で実施してもよい
 - 20 し、あるいは、図14(d)に示す押さえ部材43を取り付ける前の段階(図14(c)に示す枠45のみを接着固定した段階)で実施してもよい。
- 【0042】次に、図9に示すプローピング装置を形成するための製造プロセスについて、図16を参照して説明する。なお、図14および図15に示すプロセスと同じ工程については、説明を省略する。図16(a)に示す如く、前記図14(b)に示す異方性エッティングしたシリコンウェハ80の表面の二酸化シリコン膜82に導電性被覆83を形成し、次に該導電性被覆83の表面の
- 25 開口部を設けたポリイミド膜84(61)に電気めっきして接觸端子用のパンプ85を形成した工程の後、上記ポリイミド膜84(61)およびパンプ85の表面に、銅を、スパッタリング法あるいは蒸着法により成膜することにより、厚さ1μm程度の導電膜を形成して、その表面に電極形成用のホトレジストマスクにより、電極62を形成する。次に、図16(b)に示す如く、あらかじめ引き出し用配線48を形成し設計外形にした多層フィルム44のビア69に、電極62を異方性導電性シート70を介して接続する。多層フィルム44として、例えば、ポリイミド膜65、引き出し用配線48、中間ポリイミド膜66、グランド層49およびポリイミド保護膜68からなる配線用フィルムをあらかじめ形成すればよい。なお、前記ビア69と電極62を接続するには、例えば、異方性導電性シート70としてアニソルム(日本立化成製)を用いるか、あるいは、はんだを介して接続すればよい。
 - 30 【0043】次に、図16(c)に示す如く、シリコンウェハ80を除去することにより接觸端子47を形成した多層フィルム44が得られる。
 - 35 50 【0044】なお、接觸端子47を形成したシリコンウ

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

エハ80の除去方法としては、シリコンおよび二酸化シリコンをエッティング除去する方法と、導電性被覆83としてクロムを用いて、クロムを選択的にエッティング除去することにより、接触端子の型材であるシリコンウエハの表面を酸化して二酸化シリコン膜82を形成したシリコンウエハ80から直接に接触端子を形成したポリイミド膜84を剥離する方法があり、どちらの方法でも良い。また、接触端子47を形成したシリコンウエハ80の除去方法としては、導電性被覆83として、金、ロジウム等の貴金属膜を用いて、二酸化シリコン膜の表面に形成して、導電性被覆83との界面を機械的に剥離する方法を用いてもよい。

【0045】次に、図16(d)に示す如く、上記保護用のポリイミド膜68の表面に、枠45および押さえ部材53を位置合わせて接着固定し、接触端子47にロジウムめっき91を施す。次に、図16(e)に示す如く、シリコーン系のコーティング材を緩衝層46として枠45の中に供給し、枠45に押さえ部材43をねじ止めし、枠45と押さえ部材43との間隔を狭くして、多層フィルム44における接触端子47を並設した領域部44aを、押さえ部材43で緩衝層46を介して押し出すことにより、適度に張ることによって多層フィルム自身の弛みをなくして多数の接触端子に亘る該接触端子の先端の平坦度を±2μm程度以下の高精度を確保することができる。なお、緩衝層46は、シート状のエラストマであってもよいし、使用しなくてもよい。

【0046】次に、図2に示したように、配線基板50に多層フィルム44を取り付け、センタービポット41を押さえ部材43に取り付けて、薄膜プローブカードを完成させる。なお、図5に示すプローピング装置を組み立てる場合は、まず、センタービポット41を押さえ部材43に取り付けた後、配線基板50に多層フィルム44を取り付ければよい。なお、図16に示す製法では、多層フィルム44のピア69と、接触端子用パンプ85上に形成した電極62との導通をとるために異方性導電性シート70を使用したが、はんだあるいはSn-AgあるいはSn-Au等の金属接合により導通を確保してもよいことはいうまでもない。

【0047】次に、図10に示すプローピング装置を形成するための製造プロセスについて、図17を参照して説明する。なお、図14および図15に示すプロセスと同じ工程については、説明を省略する。まず、図17(a)に示す如く、前記図14(b)に示す異方性エッティングしたシリコンウエハ80の表面の二酸化シリコン膜82に導電性被覆83を形成し、該導電性被覆83の表面の開口部を設けたポリイミド膜84に電気めっきして接触端子用のパンプ85する。次に、図17(b)に示す如く、前記のポリイミド膜84をエッティング除去する。次に、図17(c)に示す如く、あらかじめ引き出し用配線48を形成し、設計外形にした配線用フィルム

48のピア69に、接触端子用のパンプ85を異方性導電性シート70を介して接続する。

【0048】次に、図17(d)に示す如く、シリコンウエハ80を除去することにより、配線用フィルム64を接触端子47を形成した多層フィルム44を形成する。

【0049】次に、図17(e)に示す如く、前記図16(e)を用いて説明したプロセスと同様な工程で、前記図16(e)に示すのと同様な構造体を形成する。その後のプロセスは、前記図16に示したプロセスと同様な工程であるので、説明を省略する。なお、図17に示す製法では、多層フィルム44のピア69と、接触端子用のパンプ85との導通をとるために異方性導電性シート70を使用したが、はんだあるいはSn-AgあるいはSn-Au等の金属接合により導通を確保してもよいことはいうまでもない。

【0050】次に、以上説明した本発明に係るプローピング装置を用いて被検査対象である半導体素子(チップ)に対する電気的特性検査について図18を用いて説明する。

【0051】図18は、本発明に係る検査装置の全体構成を示す図である。検査装置は、半導体素子の製造におけるウエハプローバとして構成されている。この検査装置は、被検査対象である半導体ウエハ1を支持する試料支持系160と、被検査対象1の電極3に接触して電気信号の授受を行なうプローブ系120と、試料支持系160の動作を制御する駆動制御系150と、被検査対象1の温度制御を行なう温度制御系140と、半導体素子(チップ)2の電気的特性の検査を行なうテスタ170とで構成される。この半導体ウエハ1は、多数の半導体素子(チップ)2が配列され、各半導体素子2の表面には、半導体素子の高集積化に伴って外部接続電極としての複数の電極3が高密度で、且つ狭ピッチで配列されている。試料支持系160は、半導体ウエハ1を着脱自在に載置してほぼ水平に設けられた試料台162と、この試料台162を支持するように垂直に配置される昇降軸164と、この昇降軸164を昇降駆動する昇降駆動部165と、この昇降駆動部165を支持するX-Yステージ167とで構成される。X-Yステージ167は、筐体166の上に固定される。昇降駆動部165は、例えば、ステッピングモータなどから構成される。試料台162の水平および垂直方向における位置決め動作は、X-Yステージ167の水平面内における移動動作と、昇降駆動部165による上下動などを組み合わせることにより行われる。また、試料台162には、図示しない回動機構が設けられており、水平面内における試料台162の回動変位が可能にされている。

【0052】試料台162の上方には、プローブ系120が配置される。すなわち、図2または図5または図6または図8または図9または図10に示すプローピング

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

装置120aおよび配線基板50は、当該試料台162に平行に対向する姿勢で設けられる。このプローピング装置120aには、接触端子47を有する多層フィルム44と、緩衝層46、枠45、押さえ部材（押さえ板）43、センタービポット41、スプリングプローブ42および支持部材（上部固定板）40が一体的に設けられている。各々の接触端子47は、該プローピング装置120aの多層フィルム44に設けられた引出し用配線48を介して、配線基板50の電極50aおよびピア50dと、内部配線50bとを通して、該配線基板50に設けられた接続端子50cに接続される。なお、本実施の形態では、接続端子50cは、同軸コネクタで構成される。この接続端子50cに接続されるケーブル171を介して、テスタ170と接続される。ここで用いられるプローピング装置は、図2に示した構造のものであるが、これに限定されない。図5、図6、図8、図9あるいは図10に示す構造のものを用いることができるのいうまでもない。

【0053】駆動制御系150は、ケーブル172を介してテスタ170と接続される。また、駆動制御系150は、試料支持系160の各駆動部のアクチュエータに制御信号を送って、その動作を制御する。すなわち、駆動制御系150は、内部にコンピュータを備え、ケーブル172を介して伝達されるテスタ170のテスト動作の進行情報に合わせて、試料支持系160の動作を制御する。また、駆動制御系150は、操作部151を備え、駆動制御に関する各種指示の入力の受付、例えば、手動操作の指示を受け付ける。試料台162には、半導体素子2についてバーンイン試験を行うために、加熱させるためのヒータ141が備えられている。温度制御系140は、試料台162のヒータ141あるいは冷却治具を制御することにより、試料台162に搭載された半導体ウエハ1の温度を制御する。また、温度制御系140は、操作部151を備え、温度制御に関する各種指示の入力の受付、例えば、手動操作の指示を受け付ける。

【0054】以下、検査装置の動作について説明する。まず、被検査対象である半導体ウエハ1は、試料台162の上に位置決めして載置される。次に試料台162に載置された半導体ウエハ1上に離して形成された複数の基準マークの光学像を、イメージセンサまたはTVカメラ等の撮像装置（図示せず）で撮像し、この撮像によって得られる画像信号から複数の基準マークの位置を検出する。そして、駆動制御系150は、上記検出された半導体ウエハ1上の複数の基準マークの位置情報から、テスタ170または駆動制御系150に格納された半導体ウエハ1の品種に応じてCADデータから得られる半導体ウエハ1上に配列された半導体素子2の配列情報および各半導体素子2上に配列された電極3の配列情報に基いて、電極群全体としての2次元の位置情報を算出する。更に多層フィルム44上に形成された多数の接触端

- 子47の内、特定の接触端子の先端の光学像または多層フィルム44上に離して形成された複数の基準マークの光学像を、イメージセンサまたはTVカメラ等の撮像装置（図示せず）で撮像し、この撮像によって得られる画像信号から特定の接触端子または複数の基準マークの位置を検出する。そして、駆動制御系150は、上記検出された多層フィルム44上の特定の接触端子または複数の基準マークの位置情報から、操作部151によって入力されて格納されたプローブの品種に応じた接触端子の配列情報や高さ情報等のプローブ情報に基いて、接触端子群全体としての2次元の位置情報を算出する。駆動制御系150は、算出された接触端子群全体としての2次元の位置情報に対する電極群全体としての2次元の位置情報のずれ量を算出し、この算出された2次元のずれ量に基いて、X-Yステージ167および回動機構を駆動制御し、半導体ウエハ1上に配列された複数個の半導体素子上に形成された電極3の群を、プローピング装置120aに並設された多数の接触端子47の群の直下に位置決めする。その後、駆動制御系150は、例えば、試料台162上に設置されたギャップセンサ（図示せず）によって測定された多層フィルム44における領域部44aの面との間の間隙に基いて昇降駆動部165を作動させて、多数の電極（被接触材）3の全体の面3aが接触端子の先端に接触した時点から8～20μm程度押し上げる状態になるまで試料台162を上昇させることによって、多層フィルム44において多数の接触端子47が並設された領域部44aを張り出させて平坦度を高精度に確保された多数の接触端子47の群における各々の先端を、図3または図7に示すように、コンプライアンス機構により目的の複数の半導体素子に亘っての各半導体素子に配列された多数の電極3の群（全体）の面3aに追従するように倣って平行出しすると共に、個々の接触端子の先端の高さの±2μm程度以下のバラツキを緩衝層46の局部的な変形によって吸収して半導体ウエハ1上に配列された各被接触材（電極）3に倣って均一な低荷重（1ピン当たり3～50mN程度）に基づく食い込みによる接触が行われ、各接触端子47と各電極3との間において低抵抗（0.01Ω～0.1Ω）で接続されることになる。
- 【0'055】駆動制御系150によるステージ167および回動機構並びに昇降駆動部165に対する駆動制御は、操作部151からの操作指示に従って実行される。特に試料台162は、電極（被接触材）3の全体の面3aが接触端子の先端に接触した時点から8～100μm程度押し上げる状態になるまで昇降駆動部16によって上昇されて、多数の接触端子47の全体が多数の電極（被接触材）3の全体の面3aに追従して平行出しされると共に、個々の接触端子の先端の高さのバラツキを緩衝層46によって吸収して均一な低荷重（1ピン当たり3～50mN程度）に基づく食い込みによる接触が行わ

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

れ、各接触端子47と各電極3との間において低抵抗($0.01\Omega \sim 0.1\Omega$)で接続されることになる。この状態で、半導体素子2についてバーンイン試験を行うときには、試料台162に搭載された半導体ウエハ1の温度を制御すべく、温度制御系140によって試料台162のヒータ141あるいは冷却治具を制御することにより実行される。さらに、ケーブル171、配線基板50、多層フィルム44、および接触端子47を介して、半導体ウエハ1に形成された半導体素子とテスタ170との間で、動作電力や動作試験信号などの授受を行い、当該半導体素子の動作特性の可否などを判別する。この際、多層フィルム44において、図4に示す如く、各接触端子47につながった引き出し用配線48に対して絶縁膜66(74)を挟んで対向するグランド層49を設置し、引き出し用配線48のインピーダンスZ₁を50 Ω 程度にしてテスタの回路とのマッチングをとることにより、引き出し用配線48を伝送する電気信号の乱れ、減衰を防止して、半導体素子に対してテスタによる高周波数(100MHz～数10GHz程度)まで対応できる高速電気信号による電気特性検査を実現することが可能となる。

【0056】さらに、上記の一連の試験動作が、半導体ウエハ1に形成された複数の半導体素子の各々について実施され、動作特性の可否などが判別される。次に、半導体素子の製造工程について、図19を用いて説明する。ステップ200は、例えばSi等の基板上に機能素子が形成され、その上に各機能素子に接続された多層の配線層が形成され、最後に外部と接続される多数の電極が狭いピッチで高密度に並列されてウエハ状態において、チップとして完成させる半導体素子(チップ)を形成するためのウエハ製造工程である。ステップ201は、ウエハの状態において形成された半導体素子(チップ)2についての電気的特性の検査を上記説明したプローピング装置を有する検査装置を用いて行うウエハ検査工程である。半導体素子2がDRAM等のメモリ素子の場合、ウエハ検査工程201において、検出されたメモリセルの不良ピットを、ピット救済用のリンクにレーザ光を照射して切断する等を施して冗長メモリセルに切り換えて修正を行う。この他、半導体素子として、ロジック回路を有し、電気的特性調整用のプログラミング素子を有する場合に、ウエハ検査工程201において、検査された電気的特性に応じて、上記プログラミング素子の抵抗または容量またはインダクタンスを調整して、最適な電気的特性に修正することができる。また、致命的な故障チップを検出して選別を実施する。なお、ウエハ検査において、バーンイン試験を行っても良い。ステップ202は、ウエハを洗浄する工程である。

【0057】ステップ203は、半導体素子2をウエハ状態から切り離すダイシング工程である。ステップ204は、各半導体素子2を実装する組立工程または組立て

更に樹脂で封止する工程である。ステップ205は半導体素子を組立てた半導体装置について一次検査を行う工程である。ステップ206は、半導体素子を組立てた半導体装置に対してバーンイン試験を行う工程である。ステップ207は、バーンイン試験された半導体装置に対して二次検査を行う工程である。ステップ208は二次検査に基いて、半導体装置を選別する選別検査工程である。ステップ209は、組立てられた半導体装置のリード端子も含めて外観検査を行う工程である。当然、樹脂封止されてナンバリングされた場合には、これらについても外観検査が行われる。以上により、良品の半導体装置が選別されて製品化されることになる。

【0058】以上説明したように、本発明に係るプローピング装置を用いることにより、半導体素子の電極を被接触対象とした高密度、超多ピンで高速信号による動作試験が可能で、電極パターンの変更にも容易に対応することができる。特に、小さな押圧力(1ピン当たり百mN以下、望ましくは50mN以下)で電極材料と良好な接触を確保することができ、電極を接触端子でスクライプする必要がないため、電極材料のクズが発生せず、電極に損傷を与えないため、図19(a)に示すような、半導体素子の製造工程での素子の電気的動作試験を実施して良品判定を行うウエハ検査工程201において、ウエハ検査工程201後に通常実施されているプローピング後の洗浄工程202を、図19(b)に示すように不要となり、また、電極の損傷あるいは、検査時のくずの発生を防止することにより、検査に起因する歩留りの低下要因を防止することができ、半導体素子の歩留り向上および検査工程時間を短縮した半導体素子の製造を実現することができる。

【0059】
【発明の効果】本発明によれば、半導体素子の高密度化に伴う狭ピッチ多ピンへのプローピングを、半導体素子を損傷させることなく、低荷重で安定して実現し、しかも高速電気信号、即ち高周波電気信号(100MHz～数10GHz程度の高周波数)の伝送を可能にして、半導体素子の電気的特性の検査を実施して高品質の半導体素子を製造することができる効果を奏する。また本発明によれば、多層フィルムにおける尖った先端を有する接触端子を並設した領域部の弛みをなくすと共に平行に出しするコンプライアンス機構を設けることによって、尖った先端を有する接触端子の群を被検査対象物上の電極の群に、1ピン当たり低荷重(3～50mN程度)で、単に押しつけることによって、電極材料等のクズを発生させることなく、0.05Ω～0.1Ω程度の低抵抗で安定した接続を実現し、しかも高速電気信号、即ち高周波電気信号(100MHz～数10GHz程度の高周波数)の伝送を可能にして、半導体素子の電気的特性の検査を実施して高品質の半導体素子を製造することができる効果を奏する。

半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

【0060】また本発明によれば、ウエハの状態において、多数並設された半導体素子（チップ）の内、1個または多数個の半導体素子について同時に、小さな接触圧（1ピン当たり3～50mN程度）で表面に酸化物が形成されたA1またははんだ等の電極3と0.05Ω～0.1Ω程度の安定した低抵抗値で確実に接続させて、テスターにより各半導体素子について動作試験を行うことができる効果を奏する。即ち、本発明によれば、電極の高密度化および狭ピッチ化に対応でき、しかも多数個チップ同時プローピングによる検査を可能にし、高速電気信号（100MHz～数10GHz程度の高周波数）による動作試験を可能にすることができ、その結果高品質の半導体素子を製造することができる。

【0061】また本発明によれば、多層フィルム（絶縁フィルム）の材料として、ポリイミドのような高温で使用できる材料を用いることにより、バーン試験のような高温での動作試験が可能することができ、その結果高品質の半導体素子を製造することができる。また本発明によれば、先の尖った接続端子を異方性導電シートあるいははんだ等の金属接合を介して多層フィルムの引き出し用配線と接続することによって、容易に多層フィルム上に多数の先の尖った接続端子を並設することができる。

【0062】また本発明によれば、検査に起因する歩留りの低下要因を防止して、高品質の半導体素子を高歩留まりで製造することができる効果を奏する。

【図面の簡単な説明】

【図1】半導体素子（チップ）が配列された被検査対象物であるウエハを示す斜視図および半導体素子（チップ）を示す斜視図である。

【図2】本発明に係るプローピング装置の第1の実施の形態の要部を示す断面図である。

【図3】図2に示すプローピング装置の第1の実施の形態において多層フィルムに並設された接触端子の先端を被検査対象物上の電極の面に接触させた状態を示す断面図である。

【図4】多層フィルムにおいて、絶縁膜を挟んで引き出し用配線とグランド層とを対向して配設された部分断面を示す図である。

【図5】本発明に係るプローピング装置の第2の実施の形態の要部を示す断面図である。

【図6】本発明に係るプローピング装置の第3の実施の形態の要部を示す断面図である。

【図7】図6に示すプローピング装置の第3の実施の形態において多層フィルムに並設された接触端子の先端を被検査対象物上の電極の面に接触させた状態を示す断面図である。

【図8】本発明に係るプローピング装置の第4の実施の形態の要部を示す断面図である。

【図9】本発明に係るプローピング装置の第5の実施の

形態における多層フィルム上に接触端子が並設された部分を示す断面図である。

【図10】本発明に係るプローピング装置の第6の実施の形態における多層フィルム上に接触端子が並設された部分を示す断面図である。

【図11】(a)は、本発明に係るプローピング装置における接触端子および引き出し用配線を形成したポリイミド膜の一実施例を示す平面図、(b)はその斜視図である。

【図12】(a)は、本発明に係るプローピング装置における接触端子および引き出し用配線を形成したポリイミド膜の他の一実施例を示す平面図、(b)はその斜視図である。

【図13】本発明に係るプローピング装置における接触端子および該接触端子を並設した多層フィルムについての寸法および形状を示す断面図である。

【図14】本発明に係るプローピング装置の第1～4の実施の形態における押さえ部材および枠を含めて多層フィルムを製造する製造プロセスの前半を示す断面図である。

【図15】本発明に係るプローピング装置の第1～4の実施の形態における押さえ部材および枠を含めて多層フィルムを製造する製造プロセスの後半を示す断面図である。

【図16】本発明に係るプローピング装置の第5の実施の形態における押さえ部材および枠を含めて多層フィルムを製造する製造プロセスを示す断面図である。

【図17】本発明に係るプローピング装置の第6の実施の形態における押さえ部材および枠を含めて多層フィルムを製造する製造プロセスを示す断面図である。

【図18】本発明に係る検査システムの一実施の形態を示す全体概略構成を示す図である。

【図19】本発明に係る半導体素子を製造し、その半導体素子を組立て半導体装置を製造する製造工程を示す図である。

【符号の説明】

- 1…ウエハ、2…半導体素子（チップ）、3…電極（被接触材）、4…支持部材（上部固定板）、41…センターピボット、41a…下部球面、42…スプリングブロープ、43…押さえ部材（押さえ板）、43a…突出部、43b…下面、43c…テーパ（傾き）、44…多層フィルム、44a…領域部、44b…周辺部、45…枠、46…緩衝層、47…接触端子、48…引き出し用配線、49…グランド層、50…配線基板、50a…電極、50c…接続端子、50d…ビア、51…ビア、52…異方性導電シート、55…ノックピン、61…ポリイミド膜、62…電極、65…ポリイミド膜、66…中間ポリイミド膜、68…ポリイミド保護膜、69…ビア、70…異方性導電シート、71…ポリイミド膜、72…パンプ、73…めっき膜、74…ポリイミド膜、75…

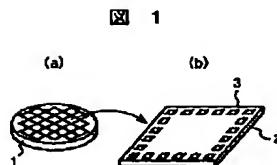
半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

5…ポリイミド保護膜、91…ロジウムめっき、101…LSI形成ウェハの領域、102…接触端子形成用型材、103…切れ目、120…プローブ系、120a…プローピング装置、140…温度制御系、141…ヒー

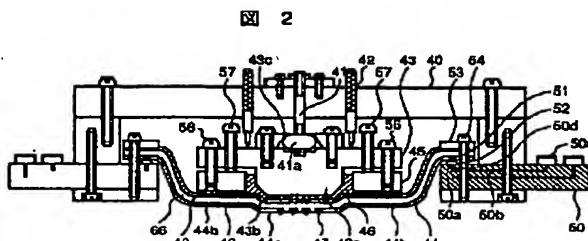
タ、150…駆動制御系、151…操作部、160…試料支持系、162…試料台、164…昇降軸、165…昇降駆動部、167…X-Yステージ、170…テスター

(☒ 1)



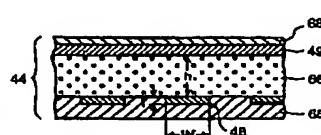
1

〔図2〕



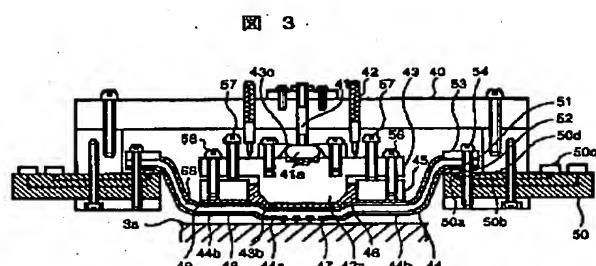
2

【图4】



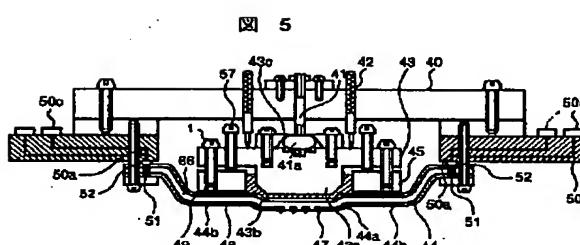
4

[图3]



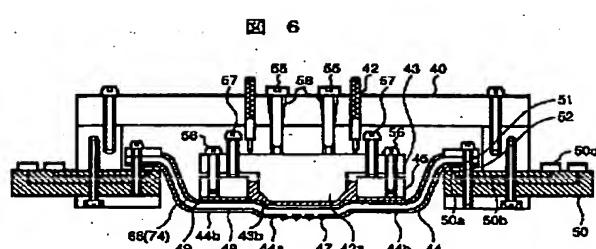
13

[図5]



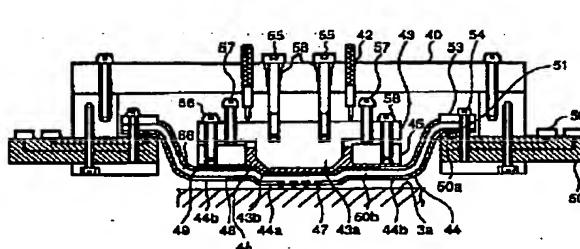
5

[图6]

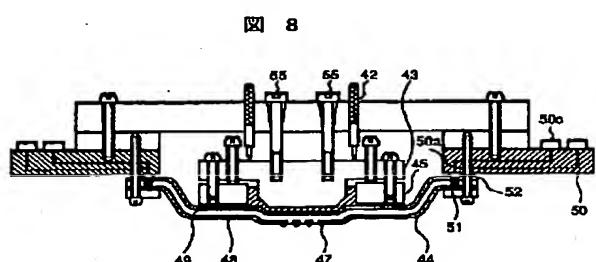


51

【四七】

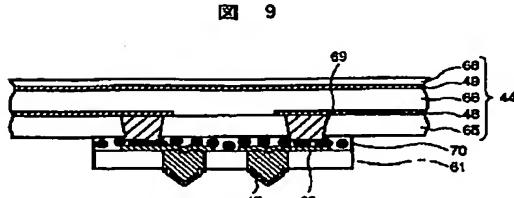


〔图8〕



3

【☒ 9】



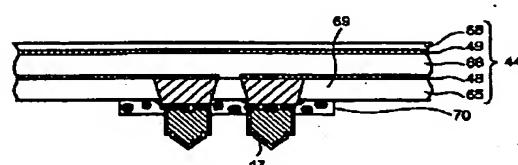
9

半導体素子の製造方法および半導体素子へのブローピング方法

特開平10-308423

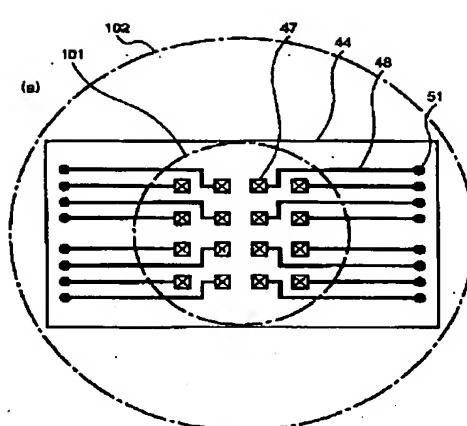
【図10】

図 10



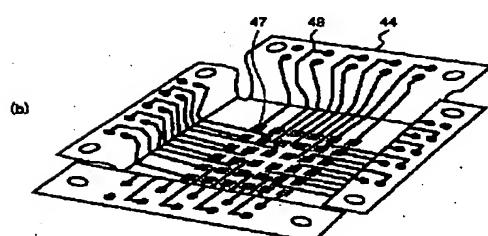
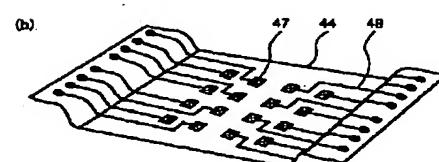
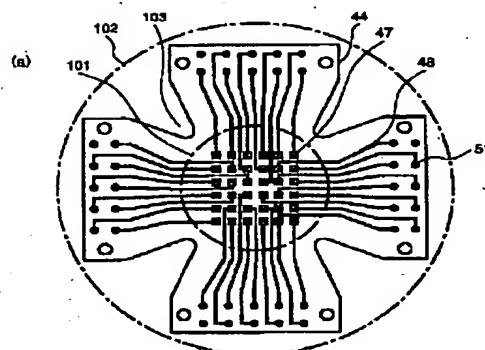
【図11】

図 11



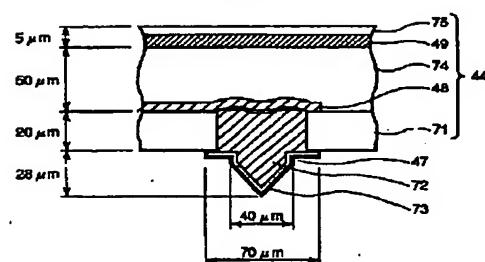
【図12】

図 12



【図13】

図 13

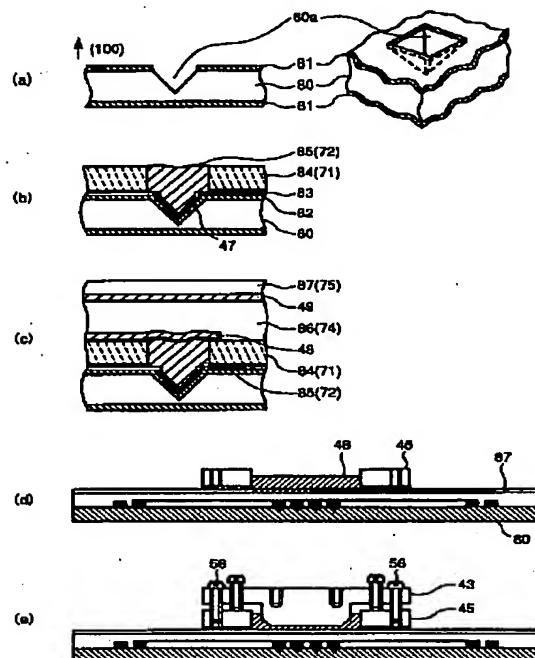


半導体素子の製造方法および半導体素子へのプローピング方法

特開平10-308423

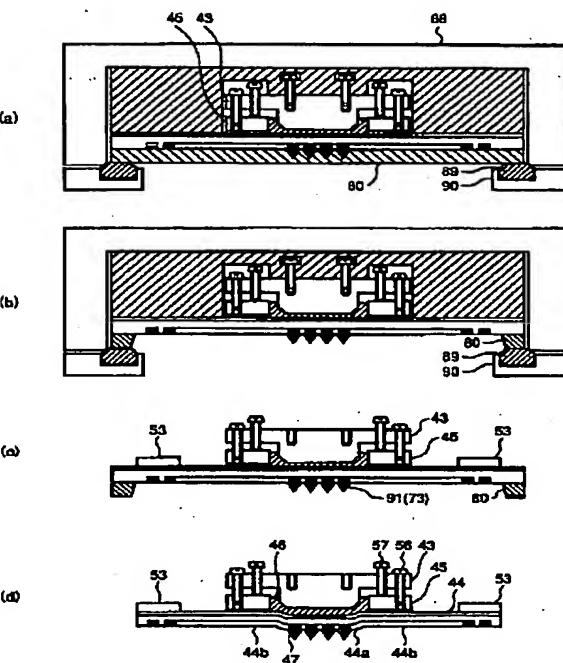
【图14】

14



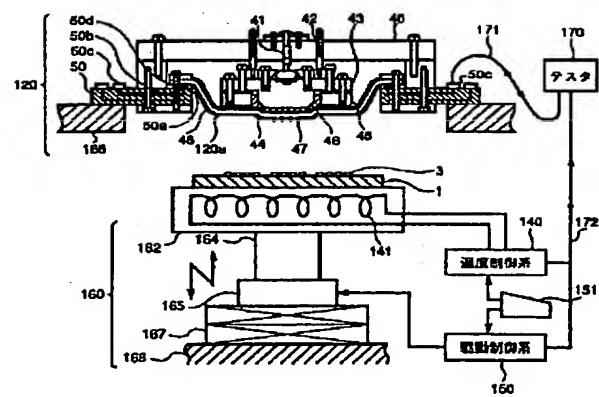
【四】15】

15



【 18】

18

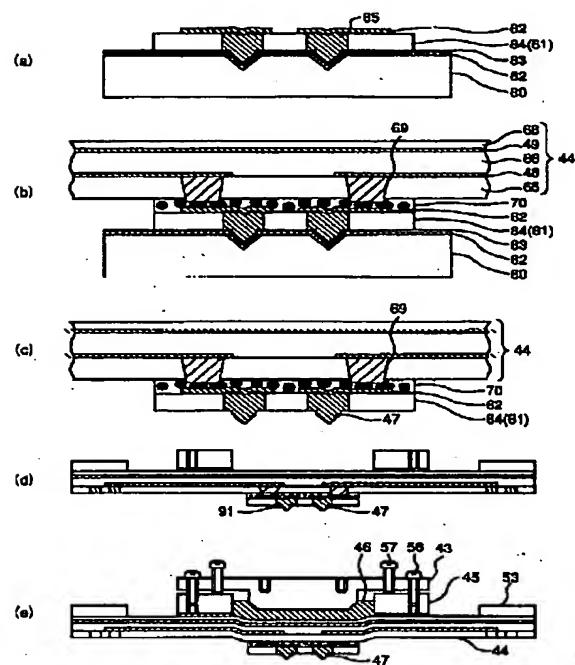


半導体素子の製造方法および半導体素子へのブローピング方法

特開平10-308423

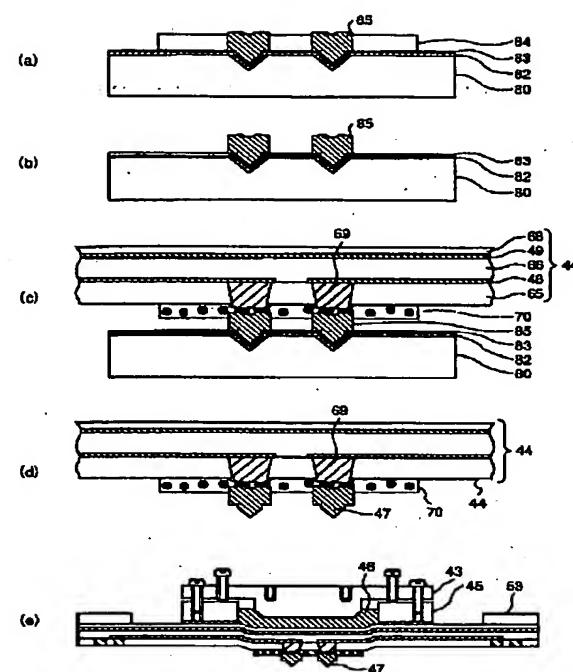
【図16】

図 16



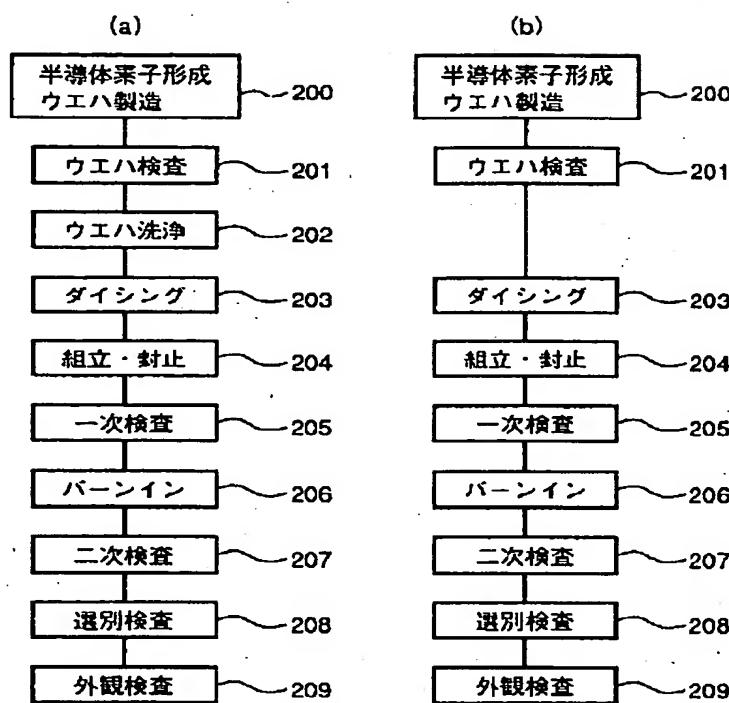
【図17】

図 17



【図19】

図 19



フロントページの続き

(72)発明者 志儀 英孝

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 渡部 隆好

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

35

(72)発明者 河野 竜治

茨城県土浦市神立町502番地株式会社日立
製作所機械研究所内